
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020040021110 A
(43)Date of publication of application: 10.03.2004

(21)Application number: 1020020052564

(22)Date of filing: 02.09.2002

(71)Applicant: HYNIX SEMICONDUCTOR INC.

(72)Inventor: CHOI, SEONG MIN

(51)Int. Cl. H03M 7/00

(54) RESISTANCE CORRECTION CIRCUIT



(57) Abstract:

PURPOSE: A resistance correction circuit is provided to control a termination resistance according to an external resistance value by using a plurality of transistors.

CONSTITUTION: A resistance correction circuit includes a correction code generation unit(110), a push-up decoder(120), a pull-down decoder(130), and a resistance control unit(140). The correction code generation unit(110) receives the reference voltage and generates push-up code signals and pull-down code signals on the basis of the external reference resistance. The push-up decoder(120) is used for decoding the push-up code signals of the correction code generation unit. The pull-down decoder(130) is used for decoding the pull-down code signals of the correction code generation unit. The resistance control unit(140) provides the corrected resistance value by turning on or off a plurality of internal transistors.

COPYRIGHT KIPO 2004

Legal Status

Date of final disposal of an application (20050630)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H03M 7/00

(11) 공개번호 10-2004-0021110
(43) 공개일자 2004년03월10일

(21) 출원번호 10-2002-0052564
(22) 출원일자 2002년09월02일
(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 최성민
경기도성남시분당구서현동시범현대아파트408-1001
(74) 대리인 특허법인 신성

심사청구 : 있음

(54) 제할 보장 회로

요약

본 발명의 제할 보장 회로는, 복수개의 트랜지스터를 사용하여, 터미네이션 저항을 외부 저항 값과 같아지도록 조정함으로써, 터미네이션 저항이 트랜지스터의 저항 값, 접속 저항 등의 변화에 의하여 왜곡된 값을 보장하는 제할 보장 회로를 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여, 본 발명은, 기존 전압을 인가받고, 외부 기준 저항을 기준으로 하여 복수개의 푸시 업 코드 신호 및 복수개의 풀 다운 코드 신호를 생성하는 보정 코드 생성부; 상기 보정 코드 생성부로부터 상기 복수개의 푸시 업 코드 신호를 입력받아 복호화하는 푸시 업 디코더; 상기 보정 코드 생성부로부터 상기 복수개의 풀 다운 코드 신호를 입력받아 복호화하는 풀 다운 디코더; 및 상기 푸시 업 디코더로부터 상기 푸시 업 신호를 입력받고, 상기 풀 다운 디코더로부터 상기 풀 다운 신호를 입력받으며, 상기 푸시 업 신호 및 상기 풀 다운 신호에 의하여 복수개의 내부 트랜지스터를 턴온/오프시킴으로써 보정된 저항 값을 제공하는 저항 조정부를 포함한다.

도표

도1

색인어

풀 다운, 푸시 업, 터미네이션, 반도체, 저항

명세서

도면의 간단한 설명

- 도 1은 본 발명의 일 실시예에 의한 제할 보장 회로를 나타낸 블록도,
- 도 2는 본 발명의 일 실시예에 의한 제할 보장 회로 내에 장착된 보정 코드 생성부를 나타낸 회로도,
- 도 3은 본 발명의 일 실시예에 의한 제할 보장 회로 내에 장착된 푸시 업 디코더를 나타낸 회로도,
- 도 4는 본 발명의 일 실시예에 의한 제할 보장 회로 내에 장착된 풀 다운 디코더를 나타낸 회로도,
- 도 5는 본 발명의 일 실시예에 의한 제할 보장 회로 내에 장착된 저항 조정부를 나타낸 회로도.

* 도면의 주요 부분에 대한 부호의 설명 *

- 110 : 보정 코드 생성부 120 : 푸시 업 디코더
- 130 : 풀 다운 디코더 140 : 저항 조정부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 저항 보정 회로에 관한 것으로, 특히, 반도체 회로 제품에 있어서, 출력단 및 터미네이션단 등의 트랜지스터의 저항을 온도, 공정 등의 변화에 대하여 그 변화치를 보정하여 일정하게 유지할 수 있는 저항 보정 회로에 관한 것이다.

일반적으로, 터미네이션 저항을 반도체 칩에서 구현할 때, 그 구성 트랜지스터의 저항이 공정이나 온도 등에 의하여 그 값이 변화하게 된다. 이로 인하여, 터미네이션 저항 값이 설계치와 상이하게 됨으로써, 제품의 성능이 저하된다.

종래에는, 이러한 저항 값의 변화에 따른 문제를 해결하기 위하여, 칩 상의 터미네이션을 구성하는 트랜지스터의 저항 값이 전체 터미네이션 저항 값에 있어서 차지하는 비중을 낮추어, 트랜지스터의 저항 값 변화가 전체 터미네이션 저항 값에 미치는 영향을 최소화한다.

그러한, 상술한 종래의 기술에 의하면, 낮은 트랜지스터의 저항이 요구되므로, 결과적으로, 트랜지스터 크기를 증가시키게 된다. 이에 따라, 트랜지스터가 칩 상에서 많은 면적을 차지하게 되고, 칩의 생산 단가가 증가하는 문제점이 있다. 또한, 트랜지스터의 저항 값 변화에 대처하는 설계 상의 방법이 존재하지 않으므로, 저항 값 변화로 인하여 칩 특성 사양 내에서 칩 성능의 열화를 초래하여 고성능 칩 제작의 어려움이 존재하는 문제점이 있다.

본 발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위하여 안출된 본 발명은, 복수개의 트랜지스터를 사용하여 터미네이션 저항을 지수 저항 값과 같아지도록 조정함으로써, 터미네이션 저항이 트랜지스터의 저항 값, 접촉 저항 등의 변화에 의하여 왜곡된 값을 보정하는 저항 보정 회로를 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 저항 보정 회로는, 기준 전압을 인가받고, 외부 기준 저항을 기준으로 하여 복수개의 푸시 업 코드 신호 및 복수개의 풀 다운 코드 신호를 생성하는 보정 코드 생성부; 상기 보정 코드 생성부로부터 상기 복수개의 푸시 업 코드 신호를 입력받아 복호화하는 푸시 업 디코더; 상기 보정 코드 생성부로부터 상기 복수개의 풀 다운 코드 신호를 입력받아 복호화하는 풀 다운 디코더; 및 상기 푸시 업 디코더로부터 상기 푸시 업 신호를 입력받고, 상기 풀 다운 디코더로부터 상기 풀 다운 신호를 입력받으며, 상기 푸시 업 신호 및 상기 풀 다운 신호에 의하여 복수개의 내부 트랜지스터를 턴온/오프시킴으로써 보정된 저항 값을 제공하는 저항 조정부를 포함한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

먼저, 도 1은 본 발명의 일 실시예에 의한 저항 보정 회로를 나타낸 블록도로서, 이러한 본 발명의 저항 보정 회로는, 보정 코드 생성부(110), 푸시 업 디코더(120), 풀 다운 디코더(130) 및 저항 조정부(140)를 포함한다.

보정 코드 생성부(110)는, 기준 전압(V_{ref})을 인가받고, 외부 기준 저항을 기준으로 하여 복수개의 푸시 업 코드 신호 및 복수개의 풀 다운 코드 신호를 생성하여 출력하는 푸시 업 디코더(120) 및 풀 다운 디코더(130)로 출력하는 역할을 한다.

또한, 푸시 업 디코더(120)는, 상기 보정 코드 생성부(110)로부터 상기 복수개의 푸시 업 코드 신호를 입력받아 복호화하고, 복호화된 신호를 푸시 업 신호로서 출력하는 저항 조정부(140)로 출력하는 역할을 한다.

한편, 풀 다운 디코더(130)는, 상기 보정 코드 생성부(110)로부터 상기 복수개의 풀 다운 코드 신호를 입력받아 복호화하고, 복호화된 신호를 풀 다운 신호로서 출력하는 저항 조정부(140)로 출력하는 역할을 한다.

또한, 저항 조정부(140)는, 상기 푸시 업 디코더(120)로부터 상기 푸시 업 신호를 입력받고, 상기 풀 다운 디코더(130)로부터 상기 풀 다운 신호를 입력받으며, 상기 푸시 업 신호 및 상기 풀 다운 신호에 의하여 복수개의 내부 트랜지스터를 턴온/오프시킴으로써 보정된 저항 값을 제공하는 역할을 한다.

도 2는 본 발명의 일 실시예에 의한 저항 보정 회로 내에 장착된 보정 코드 생성부(110)를 나타낸 회로도로서, 이러한 본 발명의 보정 코드 생성부(110)에 관하여 상세히 설명하면 다음과 같다.

제1 차동 증폭기(201)는, 제1 입력 단자로 입력된 외부 기준 저항에 걸린 전압 값과 제2 입력 단자로 입력된 기준 전압(V_{ref})을 비교하여 기준 저항에 걸린 전압 값이 큰 경우에는 제2 논리 단계('1')의 신호를 출력하는 제1 계산부(202)로 출력하고, 기준 저항에 걸린 전압 값이 작은 경우에는 제1 논리 단계('0')의 신호를 출력하는 제1 계산부(202)로 출력하는 역할을 한다.

또한, 제1 계산부(202)는, 상기 제1 차동 증폭기(201)로부터 입력받은 신호에 따라, 상기 푸시 업 코드 신호를 생성하고, 상기 푸시 업 코드 신호를 상기 푸시 업 디코더(120)로 출력하는 역할을 한다.

한편, 제1 PMOS 트랜지스터 군(203)은, 복수개의 PMOS 트랜지스터를 포함하고, 각각의 PMOS

트랜지스터는, 소스 단자가 전원 전압에 연결되고, 게이트 단자로 상기 푸시 업 코드 신호를 입력받는다.

또한, 제1 저항(204)은, 제1 단자는 상기 제1 PMOS 트랜지스터 군(203)의 드레인 단자에 연결되고, 제2 단자는 상기 제1 차동 증폭기(201)의 제1 입력 단자에 연결되어 저항 값을 제공한다.

한편, 제2 PMOS 트랜지스터 군(205)은, 복수개의 PMOS 트랜지스터를 포함하고, 각각의 PMOS 트랜지스터는, 소스 단자가 전원 전압에 연결되고, 게이트 단자로 상기 푸시 업 코드 신호를 입력받는다.

또한, 제2 저항(206)은, 제1 단자는 상기 제2 PMOS 트랜지스터 군(205)의 드레인 단자에 연결되고, 제2 단자는 후술하는 제2 차동 증폭기(207)의 제1 입력 단자에 연결되어 저항 값을 제공한다.

한편, 제2 차동 증폭기(207)는, 제1 입력 단자로 입력된 신호와 제2 입력 단자로 입력된 기준 전압(Vref)을 비교하여 제1 입력 단자로 입력된 신호가 큰 경우에는 제2 논리 단계('1')의 신호를 후술하는 제2 계산부(208)로 출력하고, 기준 저항에 걸린 전압 값이 작은 경우에는 제1 논리 단계('0')의 신호를 후술하는 제2 계산부(208)로 출력하는 역할을 한다.

또한, 제2 계산부(208)는, 상기 제2 차동 증폭기(207)로부터 입력받은 신호에 따라 상기 풀 다운 코드 신호를 생성하고, 상기 풀 다운 코드 신호를 상기 풀 다운 디코더(130)로 출력하는 역할을 한다.

한편, 제1 NMOS 트랜지스터 군(209)은, 복수개의 NMOS 트랜지스터를 포함하고, 각각의 NMOS 트랜지스터는, 소스 단자가 접지되고, 게이트 단자로 상기 풀 다운 코드 신호를 입력받는다.

또한, 제3 저항(210)은, 제1 단자는 상기 제1 NMOS 트랜지스터 군(209)의 드레인 단자에 연결되고, 제2 단자는 상기 제2 차동 증폭기(207)의 제1 입력 단자에 연결되어 저항 값을 제공한다.

한편, 계산 제어부(211)는, 상기 제1 계산부(202) 및 상기 제2 계산부(208)를 제어하는 역할을 한다.

도 3은 본 발명의 일 실시예에 의한 저항 보정 회로 내에 장착된 푸시 업 디코더(120)를 나타낸 회로도로서, 이러한 본 발명의 푸시 업 디코더(120)에 관하여 상세히 설명하면 다음과 같다.

제1 NAND 게이트(301)는, 제1 인에이블 신호(enable1) 및 제2 인에이블 신호(enable2)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

또한, 제1 NOR 게이트(302)는, 제1 푸시 업 코드 신호 및 상기 제1 NAND 게이트(301)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

한편, 제2 NOR 게이트(303)는, 제2 푸시 업 코드 신호 및 상기 제1 NAND 게이트(301)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

또한, 제3 NOR 게이트(304)는, 제3 푸시 업 코드 신호 및 상기 제1 NAND 게이트(301)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 네 번째 비트 값으로 출력하는 역할을 한다.

한편, 제4 NOR 게이트(305)는, 상기 제1 NOR 게이트(302)로부터의 출력 신호 및 상기 제2 NOR 게이트(303)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

또한, 제1 인버터(306)는, 상기 제1 NOR 게이트(302)로부터의 출력 신호를 반전하여 출력하는 역할을 한다.

한편, 제2 인버터(307)는, 상기 제2 NOR 게이트(303)로부터의 출력 신호를 반전하여 출력하는 역할을 한다.

또한, 제3 인버터(308)는, 상기 제3 NOR 게이트(304)로부터의 출력 신호를 반전하여 출력하는 역할을 한다.

한편, 제2 NAND 게이트(309)는, 상기 제1 NOR 게이트(302)로부터의 출력 신호 및 상기 제2 NOR 게이트(303)로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

또한, 제5 NOR 게이트(310)는, 상기 제1 인버터(306)로부터의 출력 신호, 상기 제2 인버터(307)로부터의 출력 신호 및 상기 제3 인버터(308)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 첫 번째 비트 값으로 출력하는 역할을 한다.

한편, 제6 NOR 게이트(311)는, 상기 제2 인버터(307)로부터의 출력 신호 및 상기 제3 인버터(308)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 두 번째 비트 값으로 출력하는 역할을 한다.

또한, 제7 NOR 게이트(312)는, 상기 제4 NOR 게이트(305)로부터의 출력 신호 및 상기 제3 인버터(308)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 세 번째 비트 값으로 출력하는 역할을 한다.

한편, 제3 NAND 게이트(313)는, 상기 제2 NAND 게이트(309)로부터의 출력 신호 및 상기 제3 인버터(308)로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 다섯 번째 비트 값으로 출력하는 역할을 한다.

또한, 제4 NAND 게이트(314)는, 상기 제2 인버터(307)로부터의 출력 신호 및 상기 제3 인버터(308)로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 여섯 번째 비트 값으로 출력하는 역할을 한다.

한편, 제5 NAND 게이트(315)는, 상기 제1 인버터(306)로부터의 출력 신호, 상기 제2 인버터(307)로부터의 출력 신호 및 상기 제3 인버터(308)로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을

상기 푸시 업 신호의 일곱 번째 비트 값으로 출력하는 역할을 한다.

또한, 제4 인버터(316)는, 상기 제1 NAND 게이트(301)로부터의 출력 신호를 반전하여 상기 푸시 업 신호의 여덟 번째 비트 값으로 출력하는 역할을 한다.

도 4는 본 발명의 일 실시예에 의한 저항 보정 회로 내에 장착된 풀 다운 디코더(130)를 나타낸 회로도로서, 이러한 본 발명의 풀 다운 디코더(130)에 관하여 상세히 설명하면 다음과 같다.

제6 NAND 게이트(401)는, 제1 인에이블 신호(enable1) 및 제2 인에이블 신호(enable2)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 풀 다운 신호의 여덟 번째 비트 값으로 출력하는 역할을 한다.

또한, 제8 NOR 게이트(402)는, 제1 풀 다운 코드 신호 및 상기 제6 NAND 게이트(401)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

한편, 제9 NOR 게이트(403)는, 제2 풀 다운 코드 신호 및 상기 제6 NAND 게이트(401)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

또한, 제10 NOR 게이트(404)는, 제3 풀 다운 코드 신호 및 상기 제6 NAND 게이트(401)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 풀 다운 신호의 네 번째 비트 값으로 출력하는 역할을 한다.

한편, 제5 인버터(405)는, 상기 제8 NOR 게이트(402)로부터의 출력 신호를 반전하여 출력하는 역할을 한다.

또한, 제6 인버터(406)는, 상기 제9 NOR 게이트(403)로부터의 출력 신호를 반전하여 출력하는 역할을 한다.

한편, 제7 인버터(407)는, 상기 제10 NOR 게이트(404)로부터의 출력 신호를 반전하여 출력하는 역할을 한다.

한편, 제7 NAND 게이트(408)는, 상기 제5 인버터(405)로부터의 출력 신호 및 상기 제6 인버터(406)로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

또한, 제8 인버터(409)는, 상기 제5 인버터(405)로부터의 출력 신호를 반전하여 출력하는 역할을 한다.

한편, 제9 인버터(410)는, 상기 제6 인버터(406)로부터의 출력 신호를 반전하여 출력하는 역할을 한다.

또한, 제10 인버터(411)는, 상기 제7 인버터(407)로부터의 출력 신호를 반전하여 출력하는 역할을 한다.

한편, 제11 NOR 게이트(412)는, 상기 제5 인버터(405)로부터의 출력 신호 및 상기 제6 인버터(406)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

또한, 제7 NAND 게이트(413)는, 상기 제8 인버터(409)로부터의 출력 신호, 상기 제9 인버터(410)로부터의 출력 신호 및 상기 제10 인버터(411)로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 풀 다운 신호의 첫 번째 비트 값으로 출력하는 역할을 한다.

한편, 제8 NAND 게이트(414)는, 상기 제9 인버터(410)로부터의 출력 신호 및 상기 제10 인버터(411)로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 풀 다운 신호의 두 번째 비트 값으로 출력하는 역할을 한다.

또한, 제9 NAND 게이트(415)는, 상기 제7 NAND 게이트(408)로부터의 출력 신호 및 상기 제10 인버터(411)로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 풀 다운 신호의 세 번째 비트 값으로 출력하는 역할을 한다.

한편, 제11 NAND 게이트(416)는, 상기 제11 NOR 게이트(412)로부터의 출력 신호 및 상기 제10 인버터(411)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 풀 다운 신호의 다섯 번째 비트 값으로 출력하는 역할을 한다.

또한, 제12 NOR 게이트(417)는, 상기 제9 인버터(410)로부터의 출력 신호 및 상기 제10 인버터(411)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 풀 다운 신호의 여섯 번째 비트 값으로 출력하는 역할을 한다.

한편, 제13 NOR 게이트(418)는, 상기 제8 인버터(409)로부터의 출력 신호, 상기 제9 인버터(410)로부터의 출력 신호 및 상기 제10 인버터(411)로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 풀 다운 신호의 일곱 번째 비트 값으로 출력하는 역할을 한다.

도 5는 본 발명의 일 실시예에 의한 저항 보정 회로 내에 장착된 저항 조정부(140)를 나타낸 회로도로서, 이러한 본 발명의 저항 조정부(140)에 관하여 상세히 설명하면 다음과 같다.

제3 PMOS 트랜지스터군(510)은, 복수개의 병렬 연결 PMOS 트랜지스터를 포함하고, 각각의 PMOS 트랜지스터는, 소스 단자가 전원 전압에 공통 연결되고, 게이트 단자로 상기 푸시 업 신호의 각 비트 값을 입력받으며, 드레인 단자는 추출하는 저항부(520)에 공통 연결된다. 즉, PMOS 트랜지스터는 전원전압과 저항부(520) 사이에, 복수개가 병렬 연결된 형태로서, 푸시 업 신호에 의하여 턴온/턴오프 된 PMOS 트랜지스터의 개수에 의하여, PMOS 트랜지스터군(510)의 저항값이 조절된다.

또한 제1 저항부(520)는, 상기 제3 PMOS 트랜지스터군(510)의 드레인 단자와 입출력단 사이에 연결되어 저항값을 제공한다. 즉, 상기 PMOS 트랜지스터군의 저항값과 저항부(520)의 저항값이 직렬 연결

형태로서, 전원전압단과 입출력단 사이의 전체 터미네이션 저항값을 이룬다.

한편, 제2 NMOS 트랜지스터군(530)은, 복수개의 NMOS 트랜지스터를 포함하고, 각각의 NMOS 트랜지스터는, 소스 단자가 하위 전원 전압에 공통 연결되고, 게이트 단자로 상기 플 다운 신호의 각 비트 값을 입력받으며, 드레인 단자는 후술하는 저항부(530)에 공통 연결된다. 즉, NMOS 트랜지스터는 하위 전원전압과 저항부(530) 사이에, 복수개가 병렬 연결된 형태로서, 플 다운 신호에 의하여 턴온/턴오프 된 NMOS 트랜지스터의 개수에 의하여, NMOS 트랜지스터군(540)의 저항값이 조절된다.

또한, 제2 저항부(540)는, 상기 제3 NMOS 트랜지스터군(530)의 드레인 단자와 입출력단 사이에 연결된다. 즉, 상기 NMOS 트랜지스터군의 저항값과 저항부(530)의 저항값이 직렬 연결 형태로서, 하위 전원전압단과 입출력단 사이의 전체 터미네이션 저항값을 이룬다.

상술한 본 발명의 동작에 관하여 설명하면 다음과 같다.

먼저, 외부에서 저항 보정 명령이 입력되면, 제1 차동 증폭기(201)는, 제1 입력 단자로 입력된 외부 기준 저항에 걸린 전압 값과 제2 입력 단자로 입력된 기준 전압(V_{ref})을 비교하여 기준 저항에 걸린 전압 값이 큰 경우에는 제2 논리 단계('1')의 신호를 제1 계산부(202)로 출력하고, 기준 저항에 걸린 전압 값이 작은 경우에는 제1 논리 단계('0')의 신호를 제1 계산부(202)로 출력한다. 이후에, 제1 계산부(202)는, 제1 차동 증폭기(201)로부터 입력받은 신호를 카운팅하여 상기 푸시 업 코드 신호를 생성하고, 상기 푸시 업 코드 신호를 푸시 업 디코더(120)로 출력하는 동시에, 제2 PMOS 트랜지스터 군(205)의 게이트 단자로 출력하고, 상술한 푸시 업 코드 생성 과정과 유사한 과정을 거쳐 플 다운 코드 신호가 생성된다. 이에 따라, 플 다운 저항 값이 푸시 업 저항 값에 다르게 된다. 다음에, 푸시 업 디코더(120) 및 플 다운 디코더(130)에서 푸시 업 코드 신호 및 플 다운 코드 신호를 8 비트의 신호로 복호화하고, 이러한 복호화된 푸시 업 신호 및 플 다운 신호에 의하여 트랜지스터의 턴 온 개수가 결정됨으로써, 저항 값이 조정된다.

이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지로 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 한정되는 것이 아니다.

발명의 효과

본 발명은, 복수개의 트랜지스터를 사용하여, 터미네이션 저항을 외부 저항 값과 같아지도록 조정함으로써, 터미네이션 저항이 트랜지스터의 저항 값, 접촉 저항 등의 변화에 의하여 왜곡된 값을 보정하는 이점이 있다.

(5) 청구의 범위

청구항 1

기준 전압을 인가받고, 외부 기준 저항을 기준으로 하여 복수개의 푸시 업 코드 신호 및 복수개의 플 다운 코드 신호를 생성하는 보정 코드 생성부;

상기 보정 코드 생성부로부터 상기 복수개의 푸시 업 코드 신호를 입력받아 복호화하는 푸시 업 디코더;

상기 보정 코드 생성부로부터 상기 복수개의 플 다운 코드 신호를 입력받아 복호화하는 플 다운 디코더;

상기 푸시 업 디코더로부터 상기 푸시 업 신호를 입력받고, 상기 플 다운 디코더로부터 상기 플 다운 신호를 입력받으며, 상기 푸시 업 신호 및 상기 플 다운 신호에 의하여 복수개의 내부 트랜지스터를 턴온/오프시킴으로써 보정된 저항 값을 제공하는 저항 조정부

를 포함하는 것을 특징으로 하는 저항 보정 회로.

청구항 2

제1항에 있어서, 상기 보정 코드 생성부는,

제1 입력 단자로 입력된 외부 기준 저항에 걸린 전압 값과 제2 입력 단자로 입력된 기준 전압을 비교하여 기준 저항에 걸린 전압 값이 큰 경우에는 제2 논리 단계의 신호를 출력하고, 기준 저항에 걸린 전압 값이 작은 경우에는 제1 논리 단계의 신호를 출력하는 제1 차동 증폭기;

상기 제1 차동 증폭기로부터 입력받은 신호에 따라 상기 푸시 업 코드 신호를 생성하는 제1 계산부;

복수개의 PMOS 트랜지스터를 포함하고, 각각의 PMOS 트랜지스터는, 소스 단자가 전원 전압에 연결되고, 게이트 단자로 상기 푸시 업 코드 신호를 입력받는 제1 PMOS 트랜지스터 군;

제1 단자는 상기 제1 PMOS 트랜지스터 군의 드레인 단자에 연결되고, 제2 단자는 상기 제1 차동 증폭기의 제1 입력 단자에 연결되어 저항 값을 제공하는 제1 저항;

복수개의 PMOS 트랜지스터를 포함하고, 각각의 PMOS 트랜지스터는, 소스 단자가 전원 전압에 연결되고, 게이트 단자로 상기 푸시 업 코드 신호를 입력받는 제2 PMOS 트랜지스터 군;

제1 단자는 상기 제2 PMOS 트랜지스터 군의 드레인 단자에 연결되고, 제2 단자는 후속하는 제2 차등 증폭기의 제1 입력 단자에 연결되어 저항 값을 제공하는 제2 저항;

제1 입력 단자로 입력된 신호와 제2 입력 단자로 입력된 기준 전압을 비교하여 제1 입력 단자로 입력된 신호가 큰 경우에는 제2 논리 단계의 신호를 출력하고, 기준 저항에 걸린 전압 값이 작은 경우에는 제1 논리 단계의 신호를 출력하는 제2 차등 증폭기;

상기 제2 차등 증폭기로부터 입력받은 신호에 따라 상기 플 다운 코드 신호를 생성하는 제2 계산부;

복수개의 NMOS 트랜지스터를 포함하고, 각각의 NMOS 트랜지스터는, 소스 단자가 접지되고, 게이트 단자로 상기 플 다운 코드 신호를 입력받는 제1 NMOS 트랜지스터 군;

제1 단자는 상기 제1 NMOS 트랜지스터 군의 드레인 단자에 연결되고, 제2 단자는 상기 제2 차등 증폭기의 제1 입력 단자에 연결되어 저항 값을 제공하는 제3 저항; 및

상기 제1 계산부 및 상기 제2 계산부를 제어하는 계산 제어부를 포함하는 것을 특징으로 하는 저항 보정 회로.

형구항 3

제1항에 있어서, 상기 푸시 업 디코더는,

제1 인에이بل 신호 및 제2 인에이블 신호를 입력받아 NAND 연산을 수행하는 제1 NAND 게이트;

제1 푸시 업 코드 신호 및 상기 제1 NAND 게이트로부터의 출력 신호를 입력받아 NOR 연산을 수행하는 제1 NOR 게이트;

제2 푸시 업 코드 신호 및 상기 제1 NAND 게이트로부터의 출력 신호를 입력받아 NOR 연산을 수행하는 제2 NOR 게이트;

제3 푸시 업 코드 신호 및 상기 제1 NAND 게이트로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 네 번째 비트 값으로 출력하는 제3 NOR 게이트;

상기 제1 NOR 게이트로부터의 출력 신호 및 상기 제2 NOR 게이트로부터의 출력 신호를 입력받아 NOR 연산을 수행하는 제4 NOR 게이트;

상기 제1 NOR 게이트로부터의 출력 신호를 반전하는 제1 인버터;

상기 제2 NOR 게이트로부터의 출력 신호를 반전하는 제2 인버터;

상기 제3 NOR 게이트로부터의 출력 신호를 반전하는 제3 인버터;

상기 제1 NOR 게이트로부터의 출력 신호 및 상기 제2 NOR 게이트로부터의 출력 신호를 입력받아 NAND 연산을 수행하는 제2 NAND 게이트;

상기 제1 인버터로부터의 출력 신호, 상기 제2 인버터로부터의 출력 신호 및 상기 제3 인버터로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 첫 번째 비트 값으로 출력하는 제5 NOR 게이트;

상기 제2 인버터로부터의 출력 신호 및 상기 제3 인버터로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 두 번째 비트 값으로 출력하는 제6 NOR 게이트;

상기 제4 NOR 게이트로부터의 출력 신호 및 상기 제3 인버터로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 세 번째 비트 값으로 출력하는 제7 NOR 게이트;

상기 제2 NAND 게이트로부터의 출력 신호 및 상기 제3 인버터로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 다섯 번째 비트 값으로 출력하는 제3 NAND 게이트;

상기 제2 인버터로부터의 출력 신호 및 상기 제3 인버터로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 여섯 번째 비트 값으로 출력하는 제4 NAND 게이트;

상기 제1 인버터로부터의 출력 신호, 상기 제2 인버터로부터의 출력 신호 및 상기 제3 인버터로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 푸시 업 신호의 일곱 번째 비트 값으로 출력하는 제5 NAND 게이트; 및

상기 제1 NAND 게이트로부터의 출력 신호를 반전하여 상기 푸시 업 신호의 여덟 번째 비트 값으로 출력하는 제4 인버터

를 포함하는 것을 특징으로 하는 저항 보정 회로.

형구항 4

제1항에 있어서, 상기 플 다운 디코더는,

제1 인에이블 신호 및 제2 인에이블 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 플 다운 신호의 여덟 번째 비트 값으로 출력하는 제6 NAND 게이트;

제1 플 다운 코드 신호 및 상기 제6 NAND 게이트로부터의 출력 신호를 입력받아 NOR 연산을 수행하는 제8

NOR 게이트;

제2 플다운 코드 신호 및 상기 제6 NAND 게이트로부터의 출력 신호를 입력받아 NOR 연산을 수행하는 제9 NOR 게이트;

제3 플다운 코드 신호 및 상기 제6 NAND 게이트로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 플다운 신호의 네 번째 비트 값으로 출력하는 제10 NOR 게이트;

상기 제8 NOR 게이트로부터의 출력 신호를 반전하는 제5 인버터;

상기 제9 NOR 게이트로부터의 출력 신호를 반전하는 제6 인버터;

상기 제10 NOR 게이트로부터의 출력 신호를 반전하는 제7 인버터;

상기 제5 인버터로부터의 출력 신호 및 상기 제6 인버터로부터의 출력 신호를 입력받아 NAND 연산을 수행하는 제7 NAND 게이트;

상기 제5 인버터로부터의 출력 신호를 반전하는 제8 인버터;

상기 제6 인버터로부터의 출력 신호를 반전하는 제9 인버터;

상기 제7 인버터로부터의 출력 신호를 반전하는 제10 인버터;

상기 제5 인버터로부터의 출력 신호 및 상기 제6 인버터로부터의 출력 신호를 입력받아 NAND 연산을 수행하는 제11 NOR 게이트;

상기 제8 인버터로부터의 출력 신호, 상기 제9 인버터로부터의 출력 신호 및 상기 제10 인버터로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 플다운 신호의 첫 번째 비트 값으로 출력하는 제7 NAND 게이트;

상기 제9 인버터로부터의 출력 신호 및 상기 제10 인버터로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 플다운 신호의 두 번째 비트 값으로 출력하는 제8 NAND 게이트;

상기 제7 NAND 게이트로부터의 출력 신호 및 상기 제10 인버터로부터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 플다운 신호의 세 번째 비트 값으로 출력하는 제9 NAND 게이트;

상기 제11 NOR 게이트로부터의 출력 신호 및 상기 제10 인버터로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 플다운 신호의 다섯 번째 비트 값으로 출력하는 제11 NAND 게이트;

상기 제9 인버터로부터의 출력 신호 및 상기 제10 인버터로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 플다운 신호의 여섯 번째 비트 값으로 출력하는 제12 NOR 게이트; 및

상기 제8 인버터로부터의 출력 신호, 상기 제9 인버터로부터의 출력 신호 및 상기 제10 인버터로부터의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 상기 플다운 신호의 일곱 번째 비트 값으로 출력하는 제13 NOR 게이트

를 포함하는 것을 특징으로 하는 저항 보정 회로.

청구항 5

제1항에 있어서, 상기 저항 조정부는,

복수개의 병렬 연결 PMOS 트랜지스터를 포함하고, 각각의 PMOS 트랜지스터는, 소스 단자가 전원 전압에 공통 연결되고, 게이트 단자로 상기 푸시업 신호의 각 비트 값을 입력받는 제3 PMOS 트랜지스터군;

상기 제3 PMOS 트랜지스터군의 드레인 단자와 상기 저항 조정부의 입력측단 사이에 연결되어 저항값을 제공하는 제1 저항부;

복수개의 병렬 연결 NMOS 트랜지스터를 포함하고, 각각의 NMOS 트랜지스터는, 소스 단자가 하위 전원 전압에 공통 연결되고, 게이트 단자로 상기 플다운 신호의 각 비트 값을 입력받는 제2 NMOS 트랜지스터군; 및

상기 제3 NMOS 트랜지스터군의 드레인 단자와 상기 저항 조정부의 입력측단 사이에 연결된 제2 저항부를 포함하는 것을 특징으로 하는 저항 보정 회로.

도면

도표 1

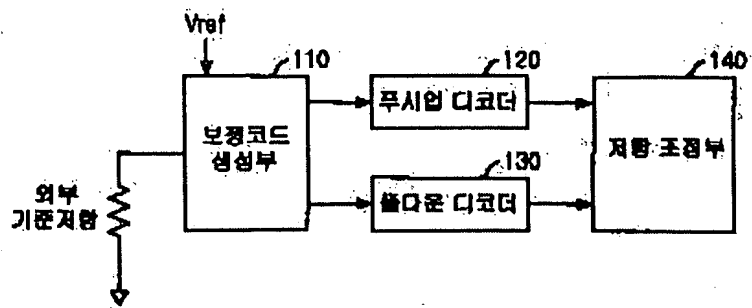
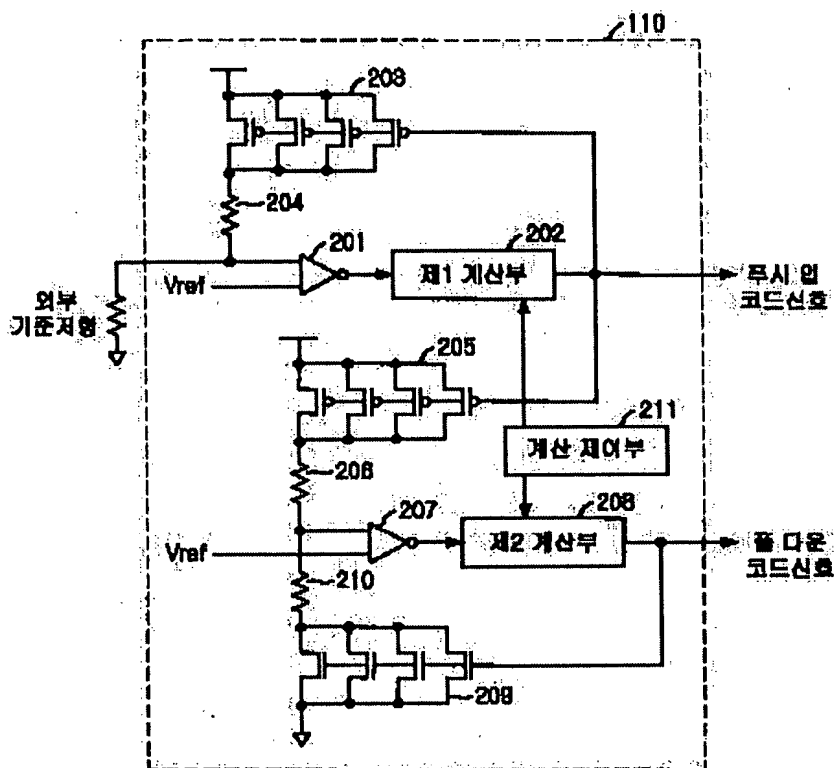


도표 2



EB3

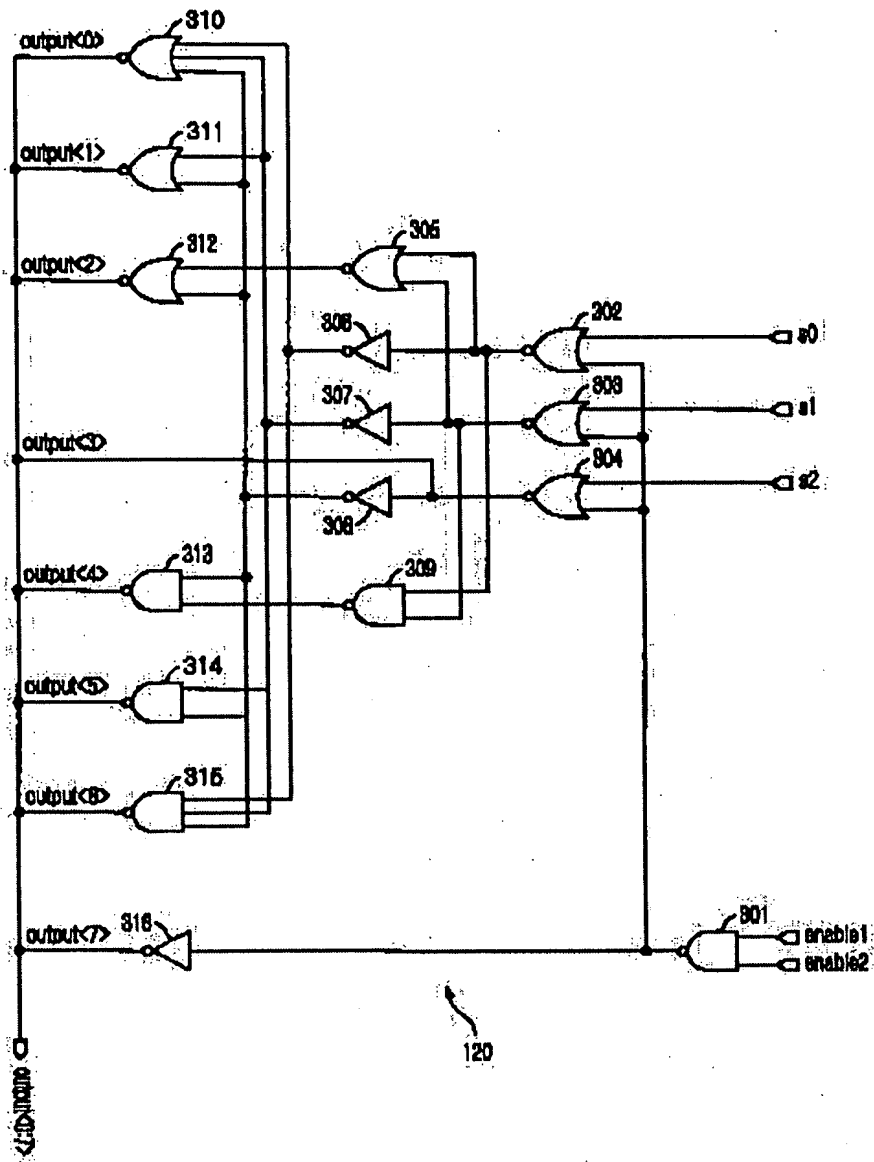
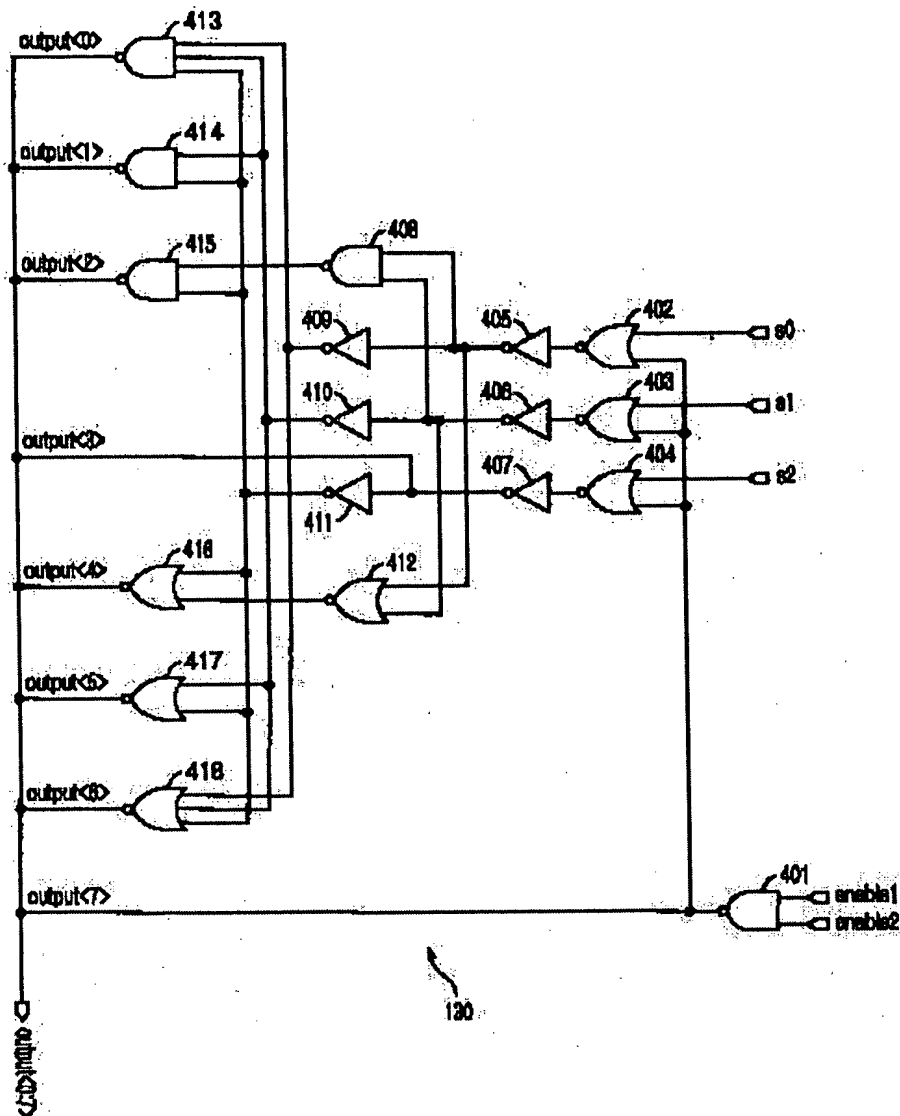
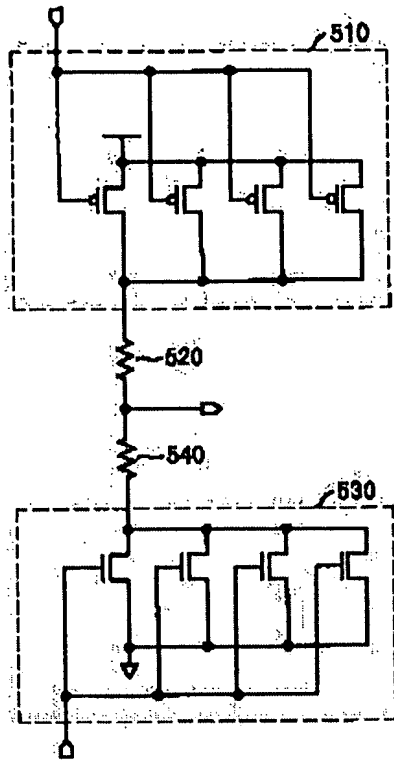


Fig. 4



SB5



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.